

Docket No.: W&B-INF-1944



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: October 17, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,051
Applicant : Andreas Felber et al.
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1944
Customer No.: 24131

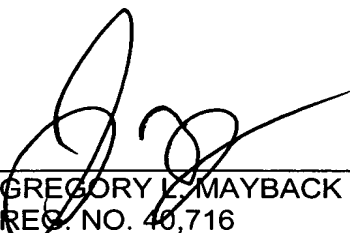
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 533.3 filed September 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 17, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 533.3

Anmeldetag: 30. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Teststruktur zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses zwischen einem Grabenkondensator und einem Auswahltransistor in einem Speicherzellenfeld

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Beschreibung

Teststruktur zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses zwischen einem Grabenkondensator und einem
5 Auswahltransistor in einem Speicherzellenfeld

Die Erfindung betrifft eine Testschaltung für ein Speicherzellenfeld zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses, der in einer Speicherzelle eine Innenelektrode eines Grabenkondensators mit einem zugehörigen Auswahltransistor verbindet.
10

Halbleiterspeicher, insbesondere dynamische Halbleiterspeicher mit wahlfreiem Zugriff (DRAM) setzen sich aus einer Matrix von Speicherzellen zusammen, die in Form von Zeilen über Wortleitungen und Spalten über Bitleitungen verschaltet sind. Das Auslesen der Daten aus den Speicherzellen oder das Schreiben der Daten in die Speicherzellen wird durch Aktivierung geeigneter Wort- und Bitleitungen bewerkstelligt. Eine
15 dynamische Speicherzelle setzt sich im Allgemeinen aus einem Auswahltransistor und einem Speicherkondensator zusammen, wobei der Auswahltransistor üblicherweise als horizontal ausgelegter Feldeffekttransistor ausgestaltet ist und zwei Diffusionsbereiche umfasst, welche durch einen Kanal getrennt
20 sind, oberhalb dessen eine Steuerelektrode, ein sogenanntes Gate, angeordnet ist. Das Gate ist wiederum mit einer Wortleitung verbunden. Einer der Diffusionsbereiche des Auswahltransistors ist an eine Bitleitung und der andere Diffusionsbereich an den Speicherkondensator angeschlossen. Durch Anlegen einer geeigneten Spannung über die Wortleitung an das
25 Gate schaltet der Auswahltransistor durch und ermöglicht einen Stromfluss zwischen den Diffusionsgebieten, um den Speicherkondensator über die angeschlossene Bitleitung zu laden.
30

35 Zielsetzung bei der DRAM-Speicher-Entwicklung ist es, eine möglichst hohe Ausbeute von Speicherzellen mit guter Funktionalität bei zusätzlich minimaler Chipgröße zu erreichen. Das

fortlaufende Bestreben, die DRAM-Speicherzellen zu verkleinern, hat zum Entwurf von Speicherzellen geführt, bei denen insbesondere der Speicherkondensator die dritte Dimension nutzt. Ein dreidimensionales Speicherkondensatorkonzept sind Grabenkondensatoren, bestehend aus einem in das Halbleiter-
5 substrat geätzten Graben, der mit einem hochleitfähigen Material gefüllt ist, welcher als innere Kondensatorelektrode dient. Die äußere Kondensatorelektrode ist dagegen im Allgemeinen im Substrat als Diffusionsgebiet vergraben ausgebildet, wobei diese äußere Kondensatorelektrode über eine weitere vergraben ausgebildete Schicht im Halbleitersubstrat, eine sogenannte Buried Plate, ankontaktiert ist. Die Buried-Plate-
10 Schicht wird üblicherweise im Randbereich über eine Kontaktöffnung, einem sogenannte Plug, ankontaktiert. Die elektrische Verbindung zwischen dem Diffusionsgebiet des Auswahltransistors und der inneren Kondensatorelektrode des Grabenkondensators in einer Speicherzelle erfolgt im oberen Grabenbereich durch einen üblicherweise als Diffusionsgebiet ausgebildeten Elektrodenanschluss, dem sogenannten Buried Strap.

Um die Chipgröße so klein wie möglich zu halten, ist es Zielsetzung, insbesondere auch den Randbereich der Speicherzellenfelder mit dem Plug zum Anschluss der Buried Plate möglichst platzsparend auszuführen. Hierbei besteht die Gefahr,
25 dass der Plug zum Anschluss der Buried Plate die Buried Straps von Grabenkondensatoren ankontaktieren, wenn sich der Plug-Bereich mit dem Buried Strap-Dotierbereich überlagern. Dies hat zur Folge, dass ein Kurzschluss zwischen den Kondensatorelektroden der Grabenkondensatoren auftritt, der zu
30 einem Totalausfall des kompletten Speicherchips führt. Ein solcher Kurzschluss konnte bisher im Allgemeinen erst durch aufwändige physikalische Fehleranalyse festgestellt werden. Darüber hinaus kann eine solche Fehleranalyse auch erst im Back-End, d.h. nachdem im Wesentlichen der gesamte Herstellungsprozess für den Speicherchip durchlaufen ist, ausgeführt
35 werden. Weiterhin beeinflusst die Größe des Dotierbereichs des Buried Strap wesentlich das elektrische Verhalten der

Speicherzelle und hat dabei insbesondere Einfluss auf die zu ladende Speicherkapazität und die Ladungsgeschwindigkeit. Daher ist die genaue Kenntnis der Buried-Strap-Dotierausdehnung für die Bestimmung der Leistungsmerkmale der Speicherzellen von entscheidender Bedeutung. Die Größe des Buried-Strap-Dotierbereichs konnte jedoch bisher nur anhand aufwändiger und teurer Dotierprofilanalysen bestimmt werden.

Aufgabe der Erfindung ist es, eine Teststruktur für ein Speicherzellenfeld mit matrixförmig angeordneten Grabenkondensatoren bereitzustellen, mit der sich auf einfache Weise eine Buried-Strap-Dotierung der Grabenkondensatoren bestimmen und sich insbesondere Kurzschlüsse zwischen der vergrabenen äußeren Kondensatorelektrode und dem Buried Strap nachweisen lassen.

Diese Aufgabe wird erfindungsgemäß mit einer Teststruktur für ein Speicherzellenfeld gemäß Anspruch 1 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

Gemäß der Erfindung weist die Teststruktur für ein Speicherzellenfeld, bei dem die Grabenkondensatoren der Speicherzellen matrixförmig angeordnet sind, zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses, der in einer Speicherzelle eine innere Kondensatorelektrode eines Grabenkondensators mit einem zugehörigen Auswahltransistor verbindet, eine regelmäßige Matrixanordnung von vier Grabenkondensatoren auf, zwischen denen ein elektrischer Kontakt mit einer vorgegebenen Kontaktfläche vorgesehen ist. Die erfindungsgemäße Teststruktur ermöglicht auf einfache Weise exakt und zerstörungsfrei, die Dotierausdehnung des oberen Elektrodenanschlusses durch eine einfache Messung des Stromflusses zwischen dem elektrischen Kontakt und den inneren Kontaktelektroden der um diesen elektrischen Kontakt angeordneten Grabenkondensatoren festzustellen. Wenn zwischen dem elektrisch leitenden Kontakt und dem Buried-Strap-Dotierbereich eine Überlappung vorliegt, kann ein elektrischer Stromfluss festgestellt werden. Im Fal-

le, dass keine Überlappung vorliegt, tritt dagegen kein Stromfluss auf. Aus der Lage des elektrischen Kontaktes bezogen auf die vier Grabenkondensatoren, der Größe und Form der Kontaktfläche und dem Stromfluss zwischen dem elektrischen Kontakt und den ihn umgebenden Grabenkondensatoren, lässt sich eine exakte Aussage über den Buried-Strap-Dotierbereich treffen. Weiterhin kann dann auch festgestellt werden, wie weit der elektrische Kontakt der Buried Plate im Randbereich des Speicherchips von den Grabenkondensatoren mindestens beabstandet sein muss, um einen Kurzschluss zwischen dem elektrischen Kontakt und dem Buried Strap zu verhindern bzw. ob ein solcher Kontakt im Randbereich sich mit einem Buried Strap eines Grabenkondensators überlappt und so einen Kurzschluss zwischen den Kondensatorelektroden und damit einen Totalausfall des Speicherchips bewirkt.

Gemäß einer bevorzugten Ausführungsform ist die regelmäßige Matrixanordnung von vier Grabenkondensatoren mit dem dazwischen angeordneten elektrischen Kontakten innerhalb eines regulären Speicherzellenfelds ausgeführt. Da die Teststruktur, wie die reguläre Speicherzellenstruktur, in der Regel mithilfe der Planartechnik, die aus einer Abfolge von Lithografieprozessen besteht, hergestellt wird, wird durch die Einbettung der Teststruktur in ein regelmäßiges Speicherzellenfeld gewährleistet, dass die Grabenkondensatoren im Wesentlichen den regulären Grabenkondensatoren der Speicherzellenmatrix entsprechen, da die Teststruktur bei den einzelnen Lithografieschritten die gleiche Umgebung wie die reguläre Speicherzellenstruktur haben. Dadurch wird die Zuverlässigkeit und Aussagekraft der Testmessung wesentlich verbessert.

Gemäß einer weiteren bevorzugten Ausführungsform ist zwischen der regelmäßigen Matrixanordnung von vier Grabenkondensatoren ein aktives Gebiet eines Auswahltransistors unter dem elektrischen Kontakt vorgesehen. Hierdurch wird gewährleistet, dass die Teststruktur so weit wie möglich dem regulären Speicherzellenfeldaufbau nachgebildet ist, um eine exakte Aussage

in Bezug auf die Ausdehnung des Buried-Strap-Dotierbereichs zu ermöglichen.

5 Gemäß einer weiteren bevorzugten Ausführungsform sind die vier Grabenkondensatoren mit getrennten Kontaktflächen verbunden, die ein einfaches Ankontaktieren der inneren Kondensatorelektrode des jeweiligen Grabenkondensators ermöglichen. Durch diese Ausgestaltung wird die Durchführung der Messung wesentlich erleichtert, da die Grabenkondensatoren zum Testen
10 über lose, weit auseinander liegende Kontaktflächen, die einfach mithilfe einer Nadelkarte an eine Auswerteeinheit angebunden werden können, sich anschließen lassen.

15 Gemäß einer weiteren bevorzugten Ausführungsform ist ein Teststrukturmuster mit einer Vielzahl von Teststrukturen vorgesehen, wobei die Teststrukturen mit unterschiedlichen Abständen zwischen den Grabenkondensatoren und/oder unterschiedlicher Größe der Kontaktfläche ausgebildet sind. Hierdurch besteht die Möglichkeit, hochpräzise und genau skaliert
20 den Bereich der Buried-Strap-Dotierung festzulegen.

Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

25 Figur 1 eine DRAM-Speicherzelle mit einem Grabenkondensator in Querschnitt;

Figur 2 einen Ausschnitt aus einer erfindungsgemäßen Teststruktur im Querschnitt;

30 Figur 3 eine erfindungsgemäße Teststruktur mit einer Matrixanordnung von Grabenkondensatoren und einem elektrischen Testkontakt in der Aufsicht;

35 Figur 4 die Aufsicht von Figur 3 mit zusätzlich vorgesehenen aktiven Gebieten; und

Figur 5 eine mögliche Verdrahtung des elektrischen Testkontakts zwischen der regelmäßigen Matrixanordnung von vier Grabenkondensatoren in der Aufsicht.

5 Die Erfindung wird am Beispiel eines DRAM-Speicherchips erläutert. Die Ausbildung einzelner Strukturen der dynamischen Speicherzellen im Chip erfolgt vorzugsweise mithilfe der Silizium-Planartechnik, die aus einer Abfolge von jeweils ganzflächig an der Oberfläche einer Silizium-Halbleiterscheibe
10 wirkenden Einzelprozessen besteht, wobei über geeignete Maskierungsschritte gezielt eine lokale Veränderung des Silizium-Substrats durchgeführt wird. Bei der DRAM-Speicherherstellung wird gleichzeitig eine Vielzahl von dynamischen Speicherzellen ausgebildet. Im folgenden wird kurz der Aufbau einer einzelnen DRAM-Speicherzelle anhand von Figur 1 beschrieben.
15

Eine DRAM-Speicherzelle setzt sich aus einem Speicherkondensator 1 und einem Auswahltransistor 2 zusammen. Der Auswahltransistor 2 ist dabei vorzugsweise als planarer Feldeffekttransistor, zum Beispiel als N-Typ-Feldeffekttransistor ausgebildet. Der N-Typ-Feldeffekttransistor 2 weist zwei n-dotierte Diffusionsgebiete 21, 22 in einem p-dotierten Halbleitersubstrat 3 auf. Die beiden Diffusionsgebiete 21, 22
20 dienen als Source- und Drain-Gebiete, wobei der dazwischen liegende Halbleitersubstratbereich 23 das aktive Gebiet des Transistors darstellt. Über dem aktiven Gebiet 23 ist, durch eine Isolationsschicht 24 getrennt, eine hoch n-dotierte Gateelektrode 25 angeordnet, die wie ein Plattenkondensator
25 wirkt, mit dem die Ladungsdichte im aktiven Bereich 23 beeinflusst werden kann, um einen stromleitenden Bereich zwischen der ersten Elektrode 21 und der zweiten Elektrode 22 auszubilden bzw. zu sperren.
30

35 Als Speicherkondensatoren werden bei dynamischen Speicherzellen bevorzugt Grabenkondensatoren eingesetzt, um durch die dreidimensionale Struktur eine wesentliche Verkleinerung der

Speicherzellenfläche zu erreichen. Der Grabenkondensator 1 weist einen tiefen Graben mit einem Aspektverhältnis, d.h. einem Breite-Tiefeverhältnis von bis zu 1:10 auf. Der Graben ist mit einer hochdotierten Schicht, in der gezeigten Ausführungsform einer Polysiliziumschicht ausgefüllt, die als innere Kondensatorelektrode 11 dient. Die äußere Kondensatorelektrode 12 ist als hoch n-dotiertes Diffusionsgebiet 12 im unteren Grabenbereich um die innere Kondensatorelektrode 11 herum ausgebildet.

Die Erzeugung der äußeren Kondensatorelektrode kann beispielsweise durch thermische Ausdiffusion einer hochdotierten Schicht im Graben erfolgen. Die äußere Kondensatorelektrode 12 ist durch eine Dielektrikumschicht 13 von der inneren Kondensatorelektrode 12 getrennt. Im oberen Grabenbereich ist die Dielektrikumschicht 13 vorzugsweise zu einem verbreiterten Isolationskragen 14 erweitert. Im oberen Grabenbereich ist weiterhin zwischen der einen Elektrode 22 des Feldeffekttransistors 2 und der inneren Kondensatorelektrode 11 des Grabenkondensators ein Elektrodenanschluss 15, ein sogenannter Buried Strap, vorgesehen. Dieser Elektrodenanschluss 15 kann ähnlich der äußeren Kondensatorelektrode 12 durch thermische Ausdiffusion einer im oberen Grabenbereich eingebrachten, hochdotierten Schicht erzeugt werden. Die äußere Kondensatorelektrode 12 ist wiederum durch eine Kondensatorplatte 16, eine sogenannte Buried Plate, angeschlossen, die vorzugsweise allen äußeren Kondensatorelektroden der DRAM-Speicherzellenanordnung gemeinsam ist. Diese in der gezeigten Ausführungsform hoch n-dotierte Buried Plate ist üblicherweise in einem Randbereich des Speicherzellenfelds durch eine Kontaktöffnung, vorzugsweise einen Metall-Plug, ankontaktiert.

Die erste Elektrode 21 des Feldeffekttransistors 2 ist weiterhin mit einer Bitleitung 5 verbunden, um die im Grabenkondensator 1 in Form von Ladungen gespeicherte Information ein- und auslesen zu können. Der Ein- und Auslesevorgang wird dabei über eine Wortleitung gesteuert, die zugleich die Gate-

elektrode 25 des Feldeffekttransistors 2 ist, um durch Anlegen einer Spannung einen stromleitenden Kanal im aktiven Bereich 23 zwischen der ersten Elektrode 21 und der zweiten Elektrode 22 herzustellen.

5

Um DRAM-Speicherchips so klein wie möglich ausführen zu können, ist es Zielsetzung, insbesondere auch den Speicherchip-Randbereich mit dem Kontakt zur Buried Plate 16, der die äußeren Kondensatorelektroden 12 der Grabenkondensatoren 1 an-

10 kontaktiert, möglichst platzsparend auszuführen. Hierdurch ergibt sich die Gefahr, dass der Metallplug zum Ankontaktieren der Buried Plate sich insbesondere mit den Dotierbereich des Buried Strap des angrenzenden Grabenkondensators überlagern, so dass ein Kurzschluss zwischen der inneren Kondensatorelektrode des Grabenkondensators und der Buried Plate, die

15 die äußeren Kondensatorelektroden der Grabenkondensatoren anschließt, auftritt, was zu einem Totalausfall des Speicherchips führen kann. Um einen solchen Kurzschluss zwischen den Kondensatorelektroden über dem Buried Plate festzustellen,

20 war bisher eine aufwändige physikalische Fehleranalyse im Back-End, also nach der Fertigstellung des Speicherchips, erforderlich. Weiterhin beeinflusst die Ausdehnung des Dotierbereichs der Buried-Strap-Anbindung der inneren Kondensatorelektrode des Grabenkondensators an den Auswahltransistor

25 entscheidend das elektrische Verhalten der Speicherzelle. Eine Bestimmung der Größe und Lage der Buried-Strap-Dotierung war bisher nur anhand aufwändiger und teurerer Dotierprofilanalysen möglich.

30 Figur 2 bis 5 zeigt eine erfindungsgemäße Teststruktur zum Bestimmen des Bereiches einer Ausdiffusion eines Buried Straps eines Grabenkondensators. Die Teststruktur ist vorzugsweise im Kerfbereich, d.h. im Zwischenbereich auf einem Wafer zwischen zwei DRAM-Chips ausgebildet. Die erfindungsgemäße Teststruktur ermöglicht dabei ein Bestimmen der Buried-Strap-Ausdiffusion bzw. von möglichen Kurzschlüssen zwischen

35 dem Buried Plate und dem Buried Strap bereits in einem Pro-

zessstadium, das sich direkt an die Herstellung der Graben-
kondensatoren anschließt, also im Front-End der Speicherchip-
herstellung. Die Teststruktur kann dabei auf einfache Weise
durch eine Funktionserweiterung im Rahmen der bisherigen
5 Speicherzellen-Teststruktur im Front-End realisiert werden.

Gemäß der Erfindung ist, wie Figur 3 bis 5 in der Aufsicht
zeigen, eine Speicherzellenstruktur sehr ähnlich der regulä-
ren DRAM-Speicherzellenstruktur, d.h. mit senkrecht verlau-
10 fenden Reihen von rechteckigen Speicherkondensatoren und
waagrecht dazu verlaufenden Reihen von aktiven Gebieten von
Auswahltransistoren ausgebildet. Wie die Aufsicht in Figur 3
zeigt, ist innerhalb dieser Reihen von Grabenkondensatoren
eine regelmäßige Matrixanordnung von vier Grabenkondensatoren
15 101, 102, 103, 104 vorgesehen, zwischen denen ein vorzugswei-
se viereckiger Diffusionskontakt 6 ausgebildet ist. Unter
diesem Diffusionskontakt 6 ist großflächig ein aktiver Be-
reich 231 vorgesehen, wie die Aufsicht in Figur 4 zeigt. Der
Diffusionskontakt 6 wird vorzugsweise über die erste Metalli-
20 sierungsebene M0 des Speicherchips kontaktiert und gegebenen-
falls über Kontaktbrücken zu einer außenliegenden Kontaktflä-
che, die sich mit den Nadeln einer Nadelkarte abgreifen
lässt, geführt. Figur 5 zeigt eine mögliche Metallisierung
der Teststruktur zum Anschluss des Diffusionskontakts 6 im
25 Rahmen der ersten Metallisierungsebene M0.

In Figur 2 ist ein Ausschnitt eines Querschnitts durch die
Teststruktur im Bereich des Diffusionskontakts 6 mit einer
einzelnen Grabenkondensatorstruktur dargestellt. Aus Figur 2
30 geht hervor, dass der Grabenkondensator der Teststruktur ei-
ner regulären DRAM-Zelle gleicht, wie sie in Figur 1 gezeigt
sind. Aus diesem Grund sind die Bauelemente des Grabenkonden-
sators in der Teststruktur mit denselben Bezugszeichen verse-
hen, wie bei der in Figur 1 gezeigten regulären Speicherzel-
35 le. Zum Test wird ermittelt, ob zwischen dem Diffusionskon-
taktblock 6 und dem Buried Strap 15 ein Kurzschluss vorliegt.
Hierzu wird der Kontaktblock 6 unabhängig von den vier Gra-

benkondensatoren 101 bis 104 der Teststruktur in Fig. 3 bis 5 vorzugsweise mit einer Nadelkarte ankontaktiert und es wird ermittelt, ob ein Stromfluss zwischen einem der Grabenkondensatoren und dem Diffusionskontaktblock auftritt. Um den Test zu vereinfachen, sind die Grabenkondensatoren 101 bis 104 der Teststruktur vorzugsweise über Kontaktbrücken mit Kontaktflächen verbunden, um das Ankontaktieren der Grabenkondensatoren zu erleichtern.

Aus der Kenntnis der Lage und Größe des Kontaktblocks 6 und der elektrischen Messung zwischen dem Kontaktblock 6 und den umliegenden Grabenkondensatoren 101 bis 104 lässt sich auf einfache Weise und störungsfrei die Ausdehnung des Dotierbereichs der Buried Straps der Grabenkondensatoren ermitteln.

Hierbei ist es bevorzugt, eine Serie von Teststrukturen, wie sie in den Figuren 2 bis 5 gezeigt sind, vorgesehen, bei denen die Größe der Kontaktblocks zwischen den vier Grabenkondensatoren variiert wird. So ist es möglich, durch eine feine Skalierung der Kontaktflächengröße eine hochexakte Bestimmung der Ausdehnung des Dotierbereichs der Buried Straps vorzunehmen. Eine weitere Möglichkeit zur Skalierung besteht darin, Teststrukturen mit vier Grabenkondensatoren vorzusehen, die unterschiedlich beabstandet sind. Alternativ zu der gezeigten Ausführungsform besteht auch die Möglichkeit, anstatt der gezeigten quadratischen Kontaktstruktur eine beliebige andere Ausgestaltung der Kontaktfläche vorzunehmen.

Patentansprüche

1. Teststruktur für ein Speicherzellenfeld, wobei die Speicherzellen matrixförmig angeordnete Grabenkondensatoren aufweisen, zum Bestimmen eines Dotierbereiches (101 bis 104) eines Elektrodenanschlusses (15), der in einer Speicherzelle eine inneren Kondensatorelektrode (11) eines Grabenkondensators (1) mit einem zugehörigen Auswahltransistors (2) verbindet,
- 5 d a d u r c h g e k e n n z e i c h n e t, dass zwischen einer regelmäßigen Matrixanordnung von vier Grabenkondensatoren (101 bis 104) ein elektrischer Kontakt (6) mit einer vorgegebenen Kontaktfläche vorgesehen ist.
- 10 2. Teststruktur nach Anspruch 1, dadurch gekennzeichnet, dass die regelmäßigen Matrixanordnung von vier Grabenkondensatoren (101 bis 104) mit dem dazwischen angeordneten elektrischen Kontakt (6) innerhalb eines regulären Speicherzellenfeldes ausgeführt ist.
- 15 3. Teststruktur nach Anspruch 1 oder 2, dadurch gekennzeichnet, zwischen der regelmäßigen Matrixanordnung von vier Grabenkondensatoren ein aktives Gebiet (231) eines Auswahltransistors unter dem elektrischen Kontakt (6) vorgesehen ist.
- 20 4. Teststrukturmuster mit einer Vielzahl von Teststrukturen nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass Teststrukturen mit einem unterschiedlichen Abstand zwischen den Grabenkondensatoren und/oder einer unterschiedlichen Größe der Kontaktfläche vorgesehen sind.
- 25 30

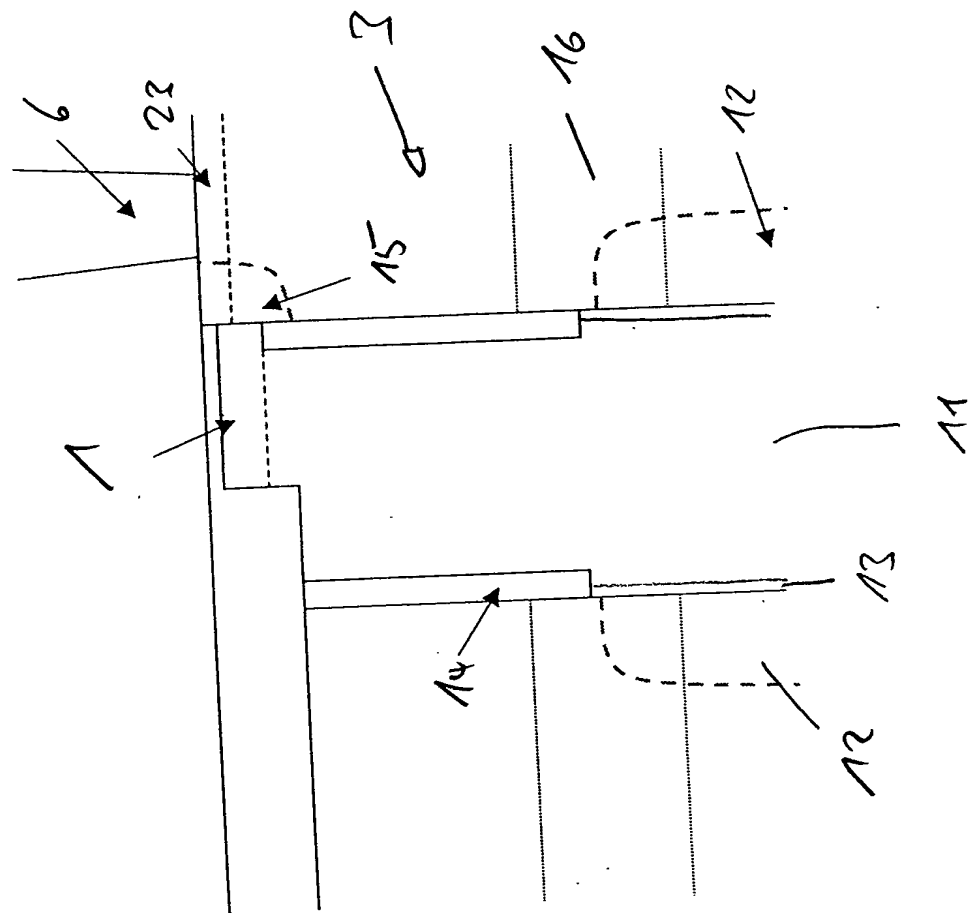
Zusammenfassung

Teststruktur zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses zwischen einem Grabenkondensator und einem
5 Auswahltransistor in einem Speicherzellenfeld

Eine erfindungsgemäße Teststruktur für ein Speicherzellenfeld zum Bestimmen eines Dotierbereiches eines Elektrodenanschlusses, der in einer Speicherzelle eine innere Kondensatorelektrode eines Grabenkondensators mit einem zugehörigen Auswahltransistor verbindet, weist zwischen einer regelmäßigen Matrixanordnung von vier Grabenkondensatoren einen elektrischen Kontakt mit einer vorgegebenen Kontaktfläche auf.
10

15 Fig. 2

Figur für die Zusammenfassung



1/5

Fig. 1

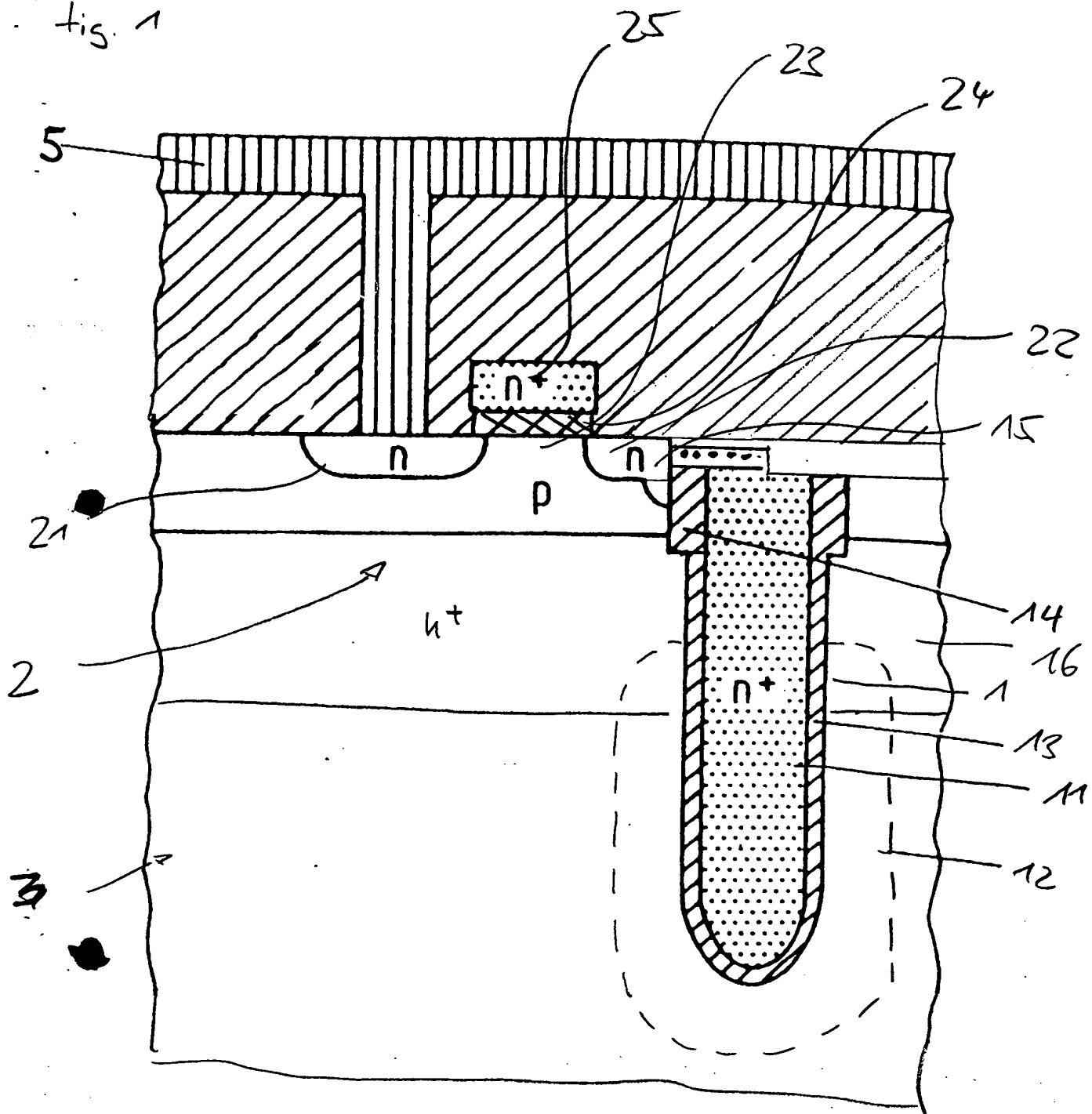
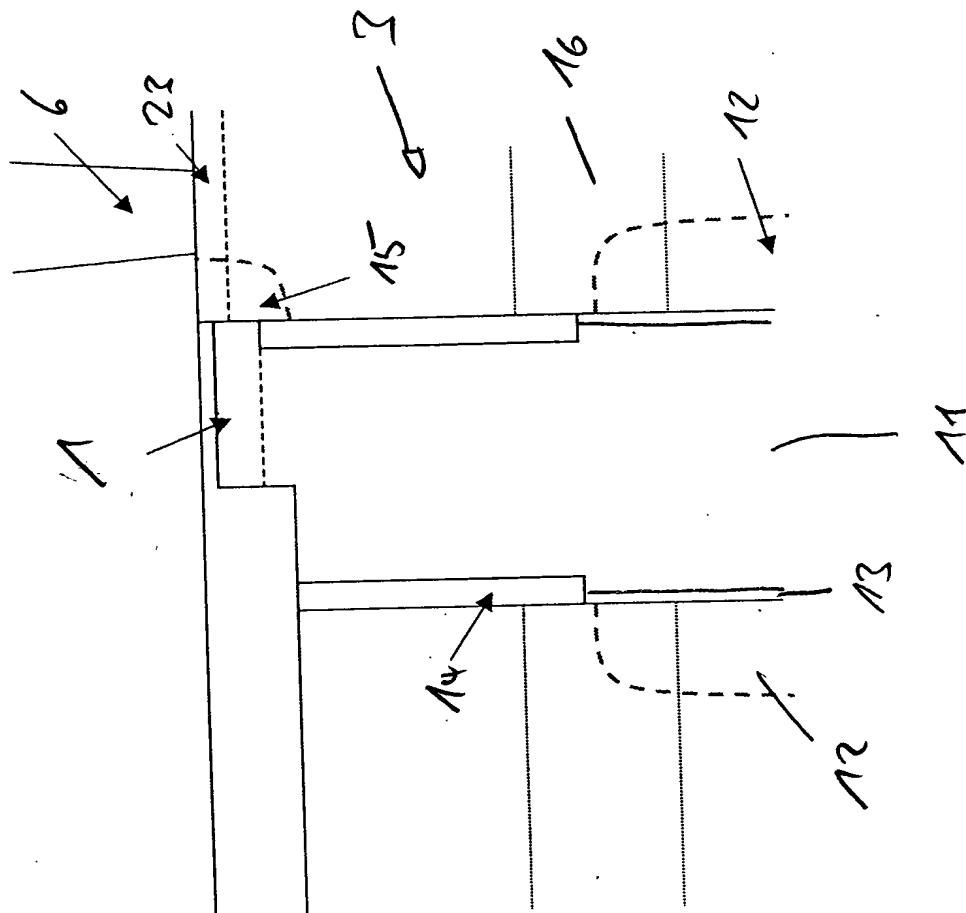
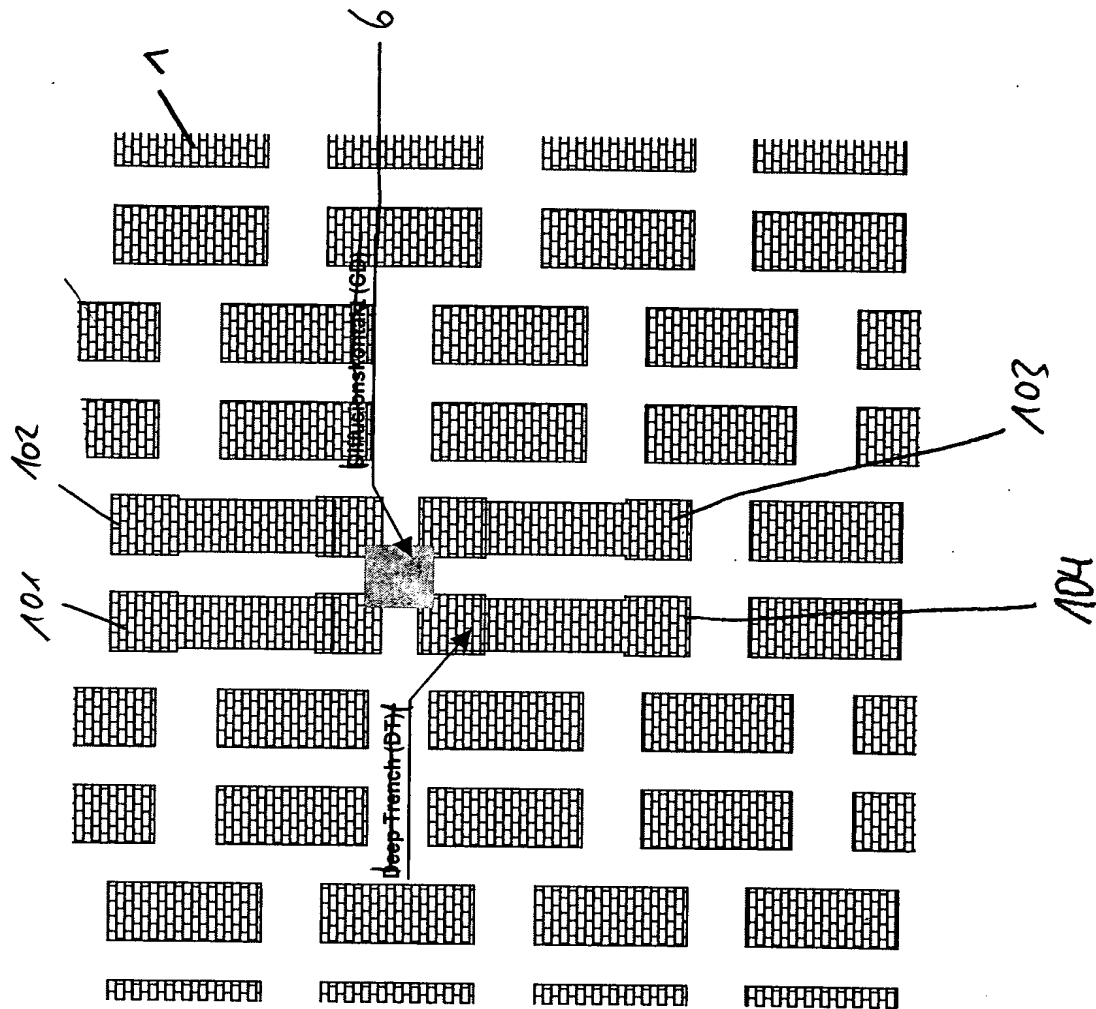


Fig. 2

215





4/5

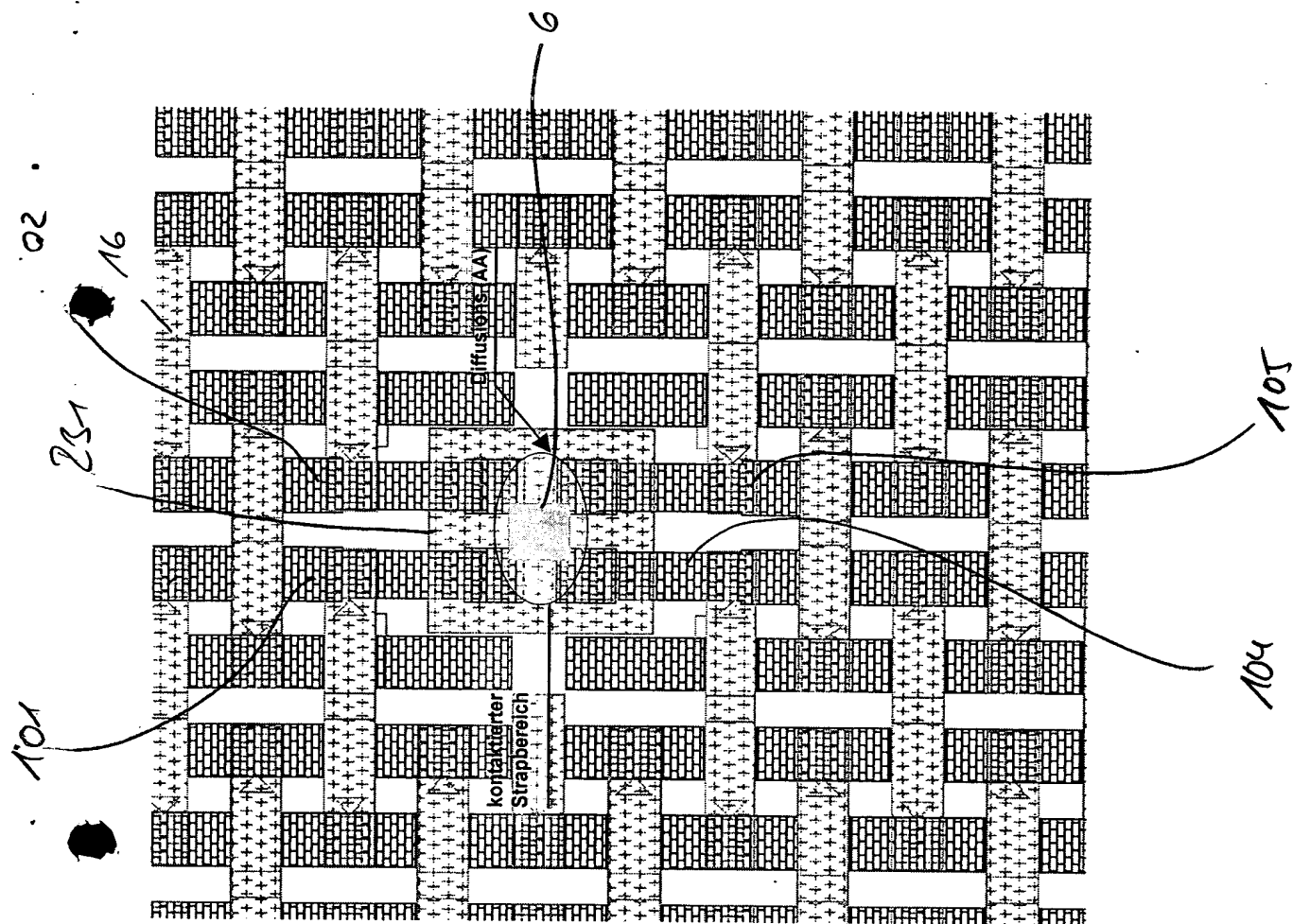


Fig. 4

Fig. 5

